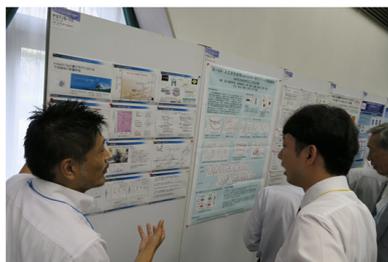
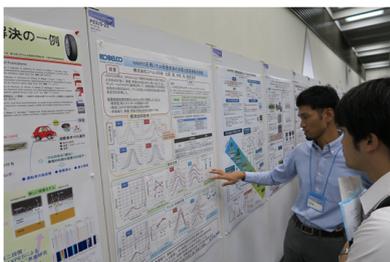
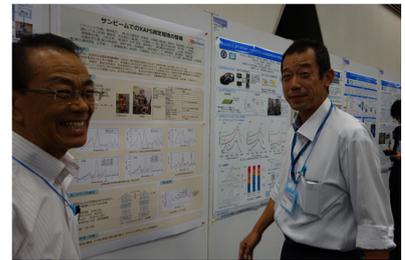
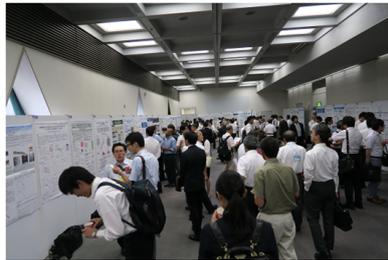
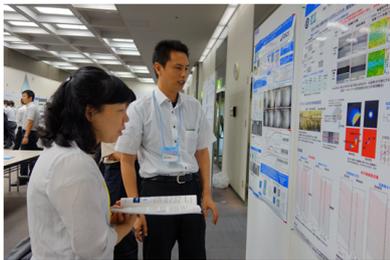
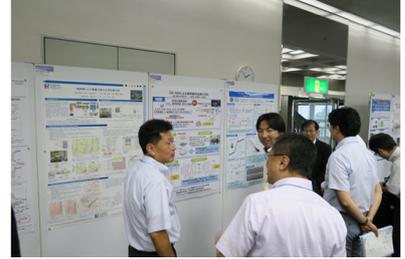
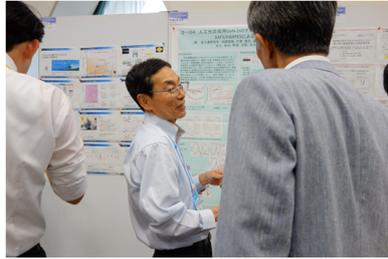
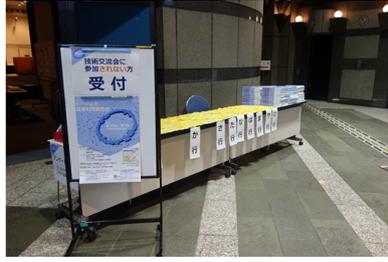


Part 3 第 17 回サンビーム研究発表会 (第 14 回 SPring-8 産業利用報告会)

場 所 川崎市産業振興会館

開催日 2017 年 8 月 31 日～9 月 1 日





放射光トポグラフィによる SiC 単結晶基板の評価

三菱電機株式会社 先端技術総合研究所 中村 勇、今澤 貴史、本谷 宗

はじめに: SiC 単結晶中には多くの結晶欠陥が存在し、これらがデバイス動作に悪影響を与えている^[1, 2]。結晶欠陥を低減するためには、これらの構造および起点に関する知見の獲得が重要となる。放射光を用いた X 線トポグラフィは結晶の歪に対して敏感であるため、非破壊での結晶欠陥の構造評価に非常に有用な手法である。一方、SiC デバイスには更なる高耐圧化が望まれており、エピタキシャル成長層(エピ層)の厚膜化が必要となる。三角欠陥やキャロット欠陥に代表されるようなエピ結晶欠陥の多くはエピ層と基板との界面近傍で形成されることが多い。そのため、結晶欠陥とその起点の構造を評価するためには、エピ層表面から、エピ層/基板界面を含む領域までを評価する必要がある。X 線トポグラフィの測定配置には透過法と反射法があるが、反射法では適切なエネルギーの単色 X 線を用いることで、表面近傍(エピ層)の結晶欠陥像のみを取得することができる。そこで、我々は反射法により厚膜の SiC エピ層の評価を行った。

実験: n 型 4H-SiC 基板上的の膜厚 100 μm のエピ層を評価対象とした。X 線トポグラフィ実験は SPring-8 BL16B2 で行い、表面反射法にて X 線トポグラフィを取得した。測定には Si(311)モノクロメーターにより単色化した X 線を用いた。X 線のエネルギーは 8、15、16、18 keV として、 $\bar{1}\ \bar{1}\ 2\ 12$ 、 $\bar{1}\ \bar{1}\ 2\ 12$ 、 $\bar{2}\ \bar{2}\ 4\ 16$ 、 $\bar{2}\ \bar{2}\ 4\ 16$ 等の回折 X 線を検出した。これらの条件における分析深さは 40 μm ~ 340 μm 程度である^[3]。

結果: 図 1 は同じ領域を、それぞれ異なる条件で撮像した X 線トポグラフィである。試料表面に垂直な方向の分析深さがおよそ 45 μm である図 1(a)では主に、貫通らせん転位(TSD)に対応する明るい点が明瞭に観察された。一方、分析深さがおよそ 90 μm である図 1(b)では、図 1(a)と同様な TSD の像以外にも、これらを繋ぐような暗いコントラストや、線状のコントラストが観察された。図 1(b)のみで観察されたコントラストについては(1)試料表面から深い位置に存在する転位もしくは、(2) TSD 周辺の微小な歪が、高次の回折を用いたことにより強調されたものと考えられる。

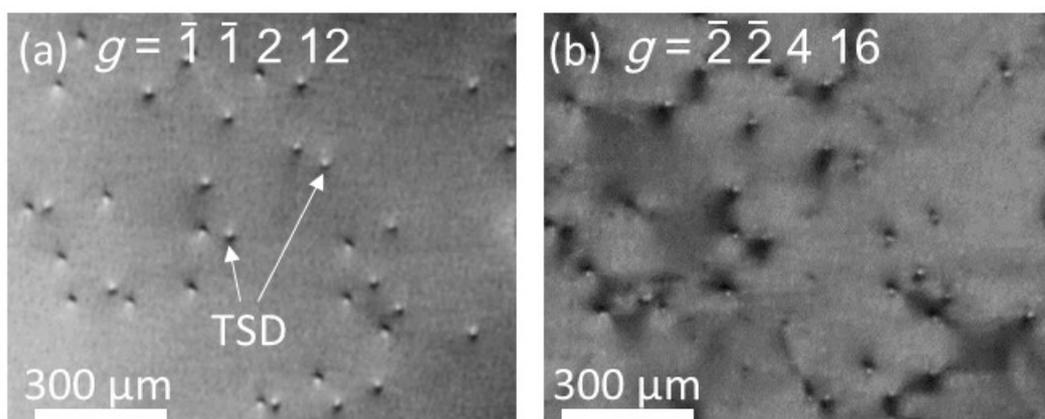


図 1. SiC エピタキシャル基板の X 線トポグラフィ
(a) $g = \bar{1}\ \bar{1}\ 2\ 12$ (15 keV)、(b) $g = \bar{2}\ \bar{2}\ 4\ 16$ (18 keV)

参考文献

- [1] M. Skowronski and S. Ha, J. Appl. Phys. 99 011101 (2006).
 [2] S. Onda, H. Watanabe, Y. Kito, H. Kondo, H. Uehigashi, N. Hosokawa, Y. Hisada, K. Shiraiishi and H. Saka, Phil. Mag. Lett. 93 (2013)439-447
 [3] 大野俊之, 博士論文, 東京工業大学, (2006).

背景と目的

◆SiCパワーデバイス

- 電力損失の大幅な低減
- 基板中に結晶欠陥が多く存在 (~10⁴ /cm²)
- 結晶欠陥によるデバイスへの悪影響^[1,2]
- 基板中の欠陥とエピ層の欠陥の関係把握が重要
- さらなる高耐圧化にはエピ層の厚膜化が必要

◆放射光X線トポグラフィによるSiCエピ層の評価

- 薄いSiCエピ層の評価では反射配置が一般的
- 厚膜エピに対しては透過法が有効であるが
基板中の欠陥像が重なるため解析が困難
- 厚膜エピを反射配置で評価したい

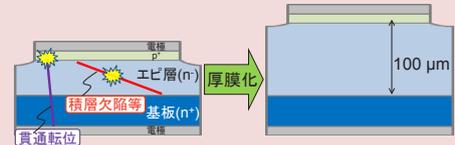


図1. SiCデバイスと結晶欠陥

目的 反射配置の放射光X線トポグラフィによる厚膜SiCエピ層の深さ方向全体の結晶欠陥評価の有効性検証

実験手法

◆試料

- 4°オフ(0001)Si面 n型4H-SiC基板の上の膜厚100 μmのエピ層

◆測定方法

- 放射光X線トポグラフィ
- SPring-8 BL16 B2
- Si(311)で単色化
- 反射配置

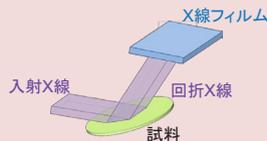


図2. 測定配置模式図

◆測定条件の検討

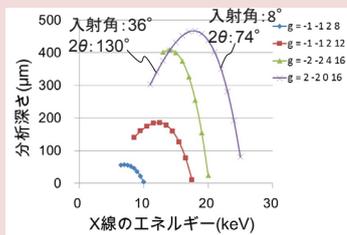


図3. 反射配置における回折ベクトル毎の分析深さ^[3]

“所望の分析深さ”かつ“浅いX線入射角”を実現可能な測定条件を選択

表. 測定条件

回折ベクトル	入射X線エネルギー (keV)	X線入射角 (deg.)	分析深さ (μm)
$\bar{1}\bar{1}28$	8	9.6	39
$\bar{1}\bar{1}212$	15	1.6	45
$\bar{2}\bar{2}416$	16	9.6	280
	18	1.9	90
$2\bar{2}016$	18	8.1	340

結果と考察

◆異なる回折ベクトルおよび分析深さによる撮像

- $g = \bar{1}\bar{1}212$
貫通転位のみが観察された
- $g = \bar{2}\bar{2}416$
貫通転位の他に網目状の線状コントラストが観察された
→ 基板内の基底面転位
- $g = 2\bar{2}016$
主に貫通転位のみが観察された
→ $b = \pm 1/3[1120]$ の基底面転位が消滅則により不可視になったと推測

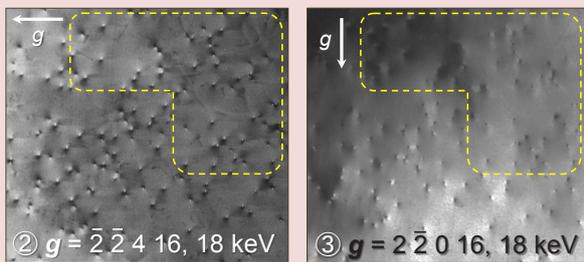


図4. 複数の条件で撮像したX線トポグラフ

◆ $\bar{1}\bar{1}28(8\text{ keV})$ と $\bar{2}\bar{2}416(16\text{ keV})$ の比較

- 高次の回折である $g = \bar{2}\bar{2}416$ においてBragg条件を満たす領域が広い(右図:(a), (b))
- 深い位置まで侵入したX線が若干発散しこれが回折に寄与した?

- $g = \bar{2}\bar{2}416$ において、TEDのコントラストが非常に明瞭であった(下図:(a)-1, (b)-1)
- TED周辺の微小な歪まで可視化
→ 分析深さが大きいことにより情報量も大

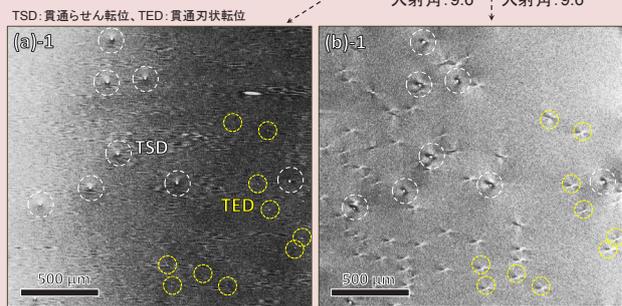


図5. $g = \bar{1}\bar{1}28(8\text{ keV})$ 、 $\bar{2}\bar{2}416(16\text{ keV})$ で撮像したX線トポグラフ

まとめ

- ◆ 反射配置のX線トポグラフィにより、厚膜(100 μm)SiCエピタキシャル基板の結晶欠陥評価を実施した。
- ◆ 高エネルギーかつ、高次の回折を選択することで、下地である基板内の情報までも可視化することができた。
- ◆ 高次の回折を利用することで、TED(貫通刃状転位)のコントラストが非常に明瞭に得られた。
- 膜厚100 μmの厚いSiCエピ層に対しても、反射配置による放射光X線トポグラフィは有用な結晶欠陥評価手段である。

参考文献

- [1] M. Skowronski and S. Ha, J. Appl. Phys. 99 011101 (2006).
- [2] S. Onda, H. Watanabe, Y. Kito, H. Kondo, H. Uehigashi, N. Hosokawa, Y. Hisada, K. Shiraiishi and H. Saka, Phil. Mag. Lett. 93 (2013)439-447.
- [3] 大野俊之, 博士論文, 東京工業大学, (2006).

硬 X 線光電子分光法による酸化膜/Si 基板界面の欠陥密度評価

三菱電機 (株) 先端技術総合研究所 田中 政幸、清井 明、河瀬 和雅
東北大学 未来科学技術共同研究センター 諏訪 智之、寺本 章伸

はじめに: メモリやインバータなど様々な分野で利用される MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) は我々の生活に不可欠な電子デバイスであり、各社により継続的に性能向上がはかられている。絶縁性能や信頼性向上のためにはゲート酸化膜の製造方法が重要であり、酸化膜や酸化膜/基板界面の欠陥準位密度の制御が長年の課題となっている。これまでに、SiO₂膜の膜質に着目した解析を実施し、CVD 法で成膜した SiO₂膜を Ar プラズマで改質することで絶縁特性の向上、質量密度増加などを確認している [1, 2]。しかしながら、さらなる MOSFET の特性向上のためには、膜だけでなく、膜/基板界面へも評価対象を広げる必要がある。そこで、小林 [3] や小畠ら [4] により提案されているバイアス電圧印加時の光電子分光測定を用いて、膜/基板界面の欠陥準位密度の評価を試みた。

実験: 我々の最終目標は Ar プラズマの膜/基板界面への効果を明らかにすることであるが、今回は高抵抗 p 型 Si 基板上に通常の CVD 法で形成した SiO₂膜 (10 nm) の評価を試みた。このサンプルの表面に、5 nm のオスmium 電極を、裏面に銀ペーストを用いて電極を形成した。次に、バイアス電圧印加用のステージに、表面電極側をアースに落とすように固定し、裏面側にバイアス電圧を印加した状態で光電子分光測定が行えるようにした。BL16XU の硬 X 線光電子分光装置を用い、励起 X 線のエネルギーを 8 keV、光電子取り出し角度を 85 度に設定した状態で Si 1s スペクトルを取得した。

結果: バイアス電圧を印加していない状態、および裏面電極に ±1.0 V のバイアス電圧を印加した状態の Si 1s スペクトルを図 1 に示す。バイアス電圧を印加することによって、Si 基板の Si 1s ピークが変化していることが確認できる。このピークシフト量はバイアス電圧印加量と正比例しておらず、この差分が膜/基板の界面準位の影響にあたる。このようなスペクトルを、-3.5 から +3.5 V の範囲でバイアス電圧を変化させて取得し、小林らの解析式を用いて、酸化膜のピークシフト量 (ΔV_{ox}) を欠陥準位密度に換算した結果を図 2 に示す。CVD-SiO₂膜と Si 基板界面に、多いところで、 $\sim 5 \times 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ の界面準位が存在することを示す結果が得られた。今後、電気計測 (CV 測定) により、本結果の妥当性を検証し、評価手法を確立するとともに、Ar プラズマで改質された膜の評価へ展開していく。

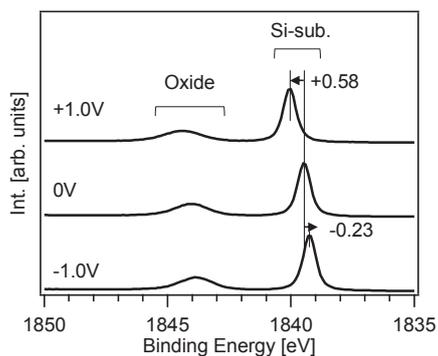


図 1. バイアス印加時の Si1s スペクトルの変化

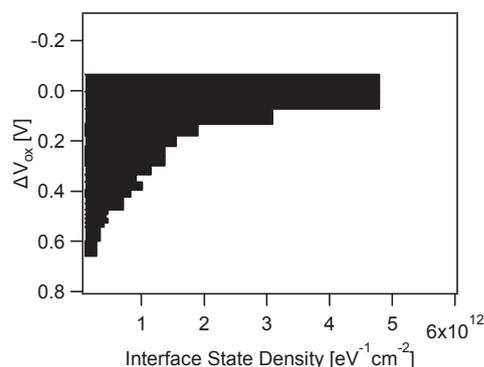


図 2. CVD-SiO₂/Si 基板界面の欠陥密度の解析結果

参考文献

- [1] K. Kawase, A. Teramoto, H. Umeda, T. Suwa, Y. Uehara, T. Hattori and T. Ohmi : J. Appl. Phys. 111 (2012) 034101.
- [2] K. Kawase, T. Motoya, Y. Uehara, A. Teramoto, T. Suwa and T. Ohmi : J. Vac. Sci. Technol. A 32 (2014) 051502-1.
- [3] H. Kobayashi, A. Asano, S. Asada, T. Kubota, Y. Yamashita, K. Yoneda and Y. Todokoro : J. Appl. Phys., 83 (1998) 2098.
- [4] M. Kobata and K. Kobayashi : J. Vac. Soc. Jpn., 58 (2015) 43.



硬X線光電子分光 (HAXPES) による酸化膜/Si基板界面の欠陥密度評価

三菱電機 (株) 先端技術総合研究所 田中 政幸、清井 明、河瀬 和雅
 東北大学 未来科学技術共同研究センター 諏訪 智之、寺本 章伸

SO-01, S-02

課題番号2016A5130, 2016B5130
 実施BL16XU

1. はじめに

メモリやインバータなど様々な分野で利用されるMOSFETは我々の生活に不可欠な電子デバイスである。絶縁性能や信頼性向上のためにはゲート酸化膜の製造方法が重要であり、酸化膜や酸化膜/基板界面の欠陥準位密度の制御が長年の課題となっている。これまでに、酸化膜の膜質に着目した解析を実施し、CVD法で成膜したSiO₂膜をArプラズマで改質することで絶縁特性の向上、質量密度増加などを確認している [1,2]。しかしながら、さらなるMOSFETの特性向上のためには、酸化膜だけでなく、酸化膜/基板界面へも評価対象を広げる必要がある。そこで今回、電圧印加HAXPESを用いて、酸化膜/基板界面の欠陥準位密度の評価 [3,4] を試みた。

表1. SiO₂膜の特徴

手法	基板種	処理温度	膜厚	質量密度	欠陥密度
熱酸化	Si, SiC	高	任意	高	低
ラジカル酸化	Si, SiC	任意	薄	高	低
CVD	任意	任意	任意	低	高

2. サンプル構造

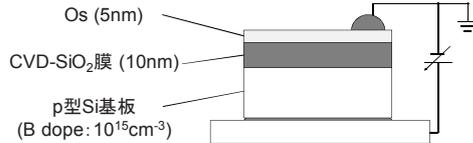


図2. サンプル構造と電圧印加実験系

- ・ p型Si基板上にCVD法で酸化膜 (SiO₂膜) を10nm製膜
- ・ 表面電極としてOs膜を5nm製膜
- ・ 外部電源を用いて表面電極-Si基板間に電圧印加し、その際の光電子ピークのシフトを解析

3. 界面準位の解析方法 [4,5]

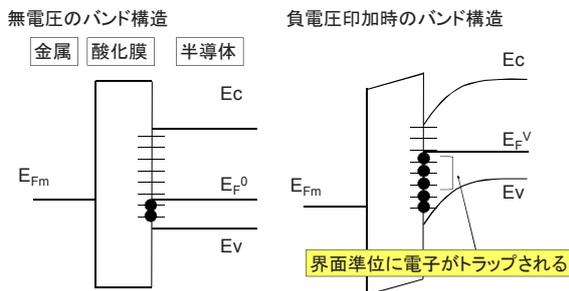


図3. 電圧印加によるバンド構造変化の模式図

- ・ 電圧印加によってバンド構造が変化し、界面準位に電子がトラップされる
- ・ 光電子ピークのシフトからバンド構造の変化を見積もり、解析式を用いて界面準位密度を計算

$$\Delta V_{ox} = V - V_s$$

$$D_{it}(E_F^V) = (e d_{ox} / \epsilon_{ox}) (d\Delta V_{ox} / dV) \{1 / (1 - d\Delta V_{ox} / dV)\}$$

4. 実験結果

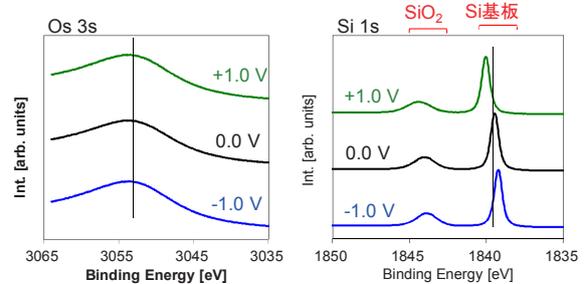


図4. +1.0、0、-1.0V印加時の光電子スペクトル

- ・ Osのピーク位置は一定であり、Siのピーク位置が電圧によって可逆的にシフトすることを確認

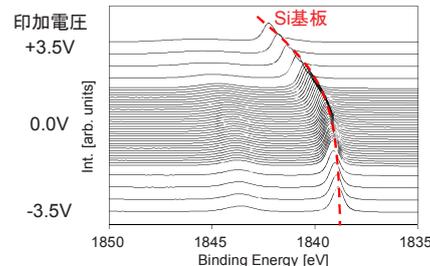


図5. 電圧印加によるSi 1sピークのシフト

- ・ 電圧印加によってSi基板に由来するピークが連続的にシフトすることを確認

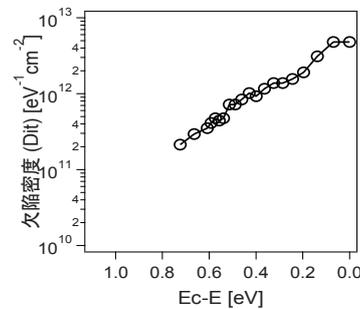


図6. 界面準位密度計算結果

- ・ Si基板の光電子ピークのシフト量から界面準位密度を計算
- ・ $3 \times 10^{11} \sim 5 \times 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ 程度の界面準位密度であることを確認

5. まとめ

【結論】

- ・ 絶縁膜/基板界面の欠陥密度評価のため、電圧印加HAXPESによる評価技術を検討した
- ・ CVD法で製膜したSiO₂/Si界面の欠陥準位密度を計算し、 $3 \times 10^{11} \sim 5 \times 10^{12} \text{ [eV}^{-1} \text{ cm}^{-2}]$ 程度の界面準位が存在することを示す結果を得た

【今後】

- ・ 電気計測 (CV法) などを用いて本結果の妥当性を検証すると共に、膜質改質処理による界面への影響を評価する

IoT 市場向け強誘電体メモリ(FRAM)における PLZT 薄膜の結晶化メカニズム

富士通研究所¹, 富士通セミコンダクター² 野村 健二¹, 王文生², 山口 秀史¹, 中村 亘²,
恵下 隆², 小澤 聡一郎², 高井 一章², 三原 智², 彦坂 幸信², 濱田 誠², 片岡 祐治¹

背景と目的: 低消費電力、高速書き換え、多書き換え回数といった優れた特徴を備えた強誘電体メモリ (FRAM)は、スマートカードや認証デバイスに加えて、近年注目されている IoT (Internet of Things)市場向けへの利用拡大が期待されている。当社は、1999 年に世界に先駆けて FRAM の量産を開始し、現在、設計寸法 0.18 μm 、動作電圧 1.8 V、集積度 8 Mb の製品化に成功している。今回、我々は、強誘電体膜 PLZT ($\text{PbLa}(\text{Zr},\text{Ti})\text{O}_3$)の結晶化アニール時の雰囲気において、アルゴン (Ar)に 2%の酸素 (O_2)を含ませる (O_2 : 2%)ことで、分極特性の向上 (図 1)などを通じて、FRAM の製造歩留りが大きく向上することを見出した。その理由を明らかにするために、X 線回折による結晶構造解析を行った。

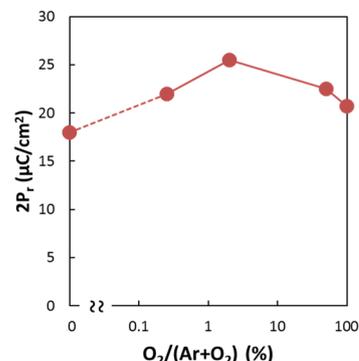


図 1. 残留分極 P_r の Ar/ O_2 依存

実験: Si 基板/ SiO_2/Ti (20 nm)上に、下部電極として $\{111\}$ 配向 Pt 膜を 175 nm 厚で成膜し、さらに、高周波スパッタリング法で PLZT 膜を 150 nm 厚で成膜した。PLZT 膜の結晶化アニールは、Ar/ O_2 雰囲気において、600°Cで 90 秒間実施された。結晶化アニール時の $\text{O}_2/(\text{Ar}+\text{O}_2)$ 比が 0、0.25、2、50、100%の 5 種類のサンプルを準備した。さらに、Ar/ O_2 流量比の異なる PLZT 膜において、結晶成長過程の違いを調べるために、アニール時間の異なる複数のサンプルを準備した。2 次元検出器 PILATUS100k を備えた Huber 社製多軸回折装置を用いて、X 線回折測定を実施した。X 線のエネルギーは、15 keV あるいは 20 keV を用い、波長を CuK α 線 (1.54056 Å)に換算して図示した。

結果: O_2 : 0%、 O_2 : 2%、 O_2 : 100%における 2θ - ω マッピングの比較結果を図 2 に示す。最適な O_2 : 2%では、 χ 軸に沿ったストリーク状のピーク (図中の矢印)が消失している。本結果は、最適な O_2 : 2%では、下部電極から結晶成長する配向した PLZT 結晶 (配向成分)のみが優先的に形成され、PLZT 表面近傍で結晶成長するランダムな配向を備えた PLZT 結晶 (ランダム成分)が消失していることを示している。さらに、Ar/ O_2 流量比の異なる複数の PLZT 膜において、結晶成長過程の違いを調べた結果、準安定相であるパイロクロア相から安定相であるペロブスカイト相への相転移速度が、Ar 雰囲気では速く、 O_2 雰囲気では遅いことが明らかになった。本結果は、 O_2 にはパイロクロア相を安定化させ、ペロブスカイト相への相転移を抑制する効果があることを示唆する。最適な O_2 : 2%では、PLZT 表面から供給された O_2 により、PLZT の膜厚方向に O_2 濃度分布が生じた結果、PLZT 表面のランダム成分の相転移が抑制され、配向成分のみが優先的に相転移したと推察される。

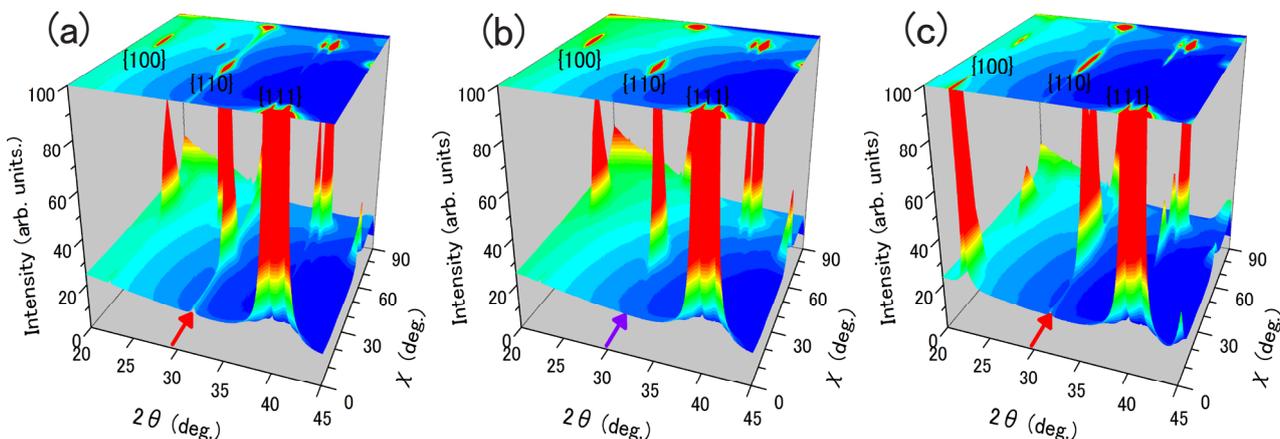


図 2. 2θ - ω マッピング測定結果。(a) O_2 : 0%、(b) O_2 : 2%、(c) O_2 : 100%。

IoT市場向け強誘電体メモリ(FRAM)における PLZT薄膜の結晶化メカニズム

株式会社富士通研究所¹, 富士通セミコンダクター株式会社²
野村 健二¹, 王文生², 山口 秀史¹, 中村 亘²,
恵下 隆², 小澤 聡一郎², 高井 一章², 三原 智², 彦坂 幸信², 濱田 誠², 片岡 祐治¹

はじめに

強誘電体メモリ(Erroelectric Random Access Memory)とは

- 強誘電体の自発分極を利用した不揮発性メモリ
- 特徴: 低消費電力、多書き換え回数、高速書き換え
- 強誘電体材料: PLZT (Pb(Zr,Ti)O₃), PLZT ((Pb,La)(Zr,Ti)O₃)など

強誘電体PLZTを使用したFRAMの動作原理

Zr/Tiイオンのシフトにより発生した分極を「0」「1」データとして記憶

FRAMの利用

IoT (Internet of Things) の基盤となるビッグデータ
その膨大なデータの収集・提供を担うエッジデバイスに利用



本研究の動機

PLZT膜の結晶化アニール時の雰囲気において、Arに2%のO₂を含ませる(O₂:2%)ことで、分極特性の向上を通じて、FRAMの製造歩留りが大きく向上

理由を解明するために、XRD及びXAFSによる結晶構造解析を実施

サンプル及び測定方法

サンプル

サンプルの基本構造

PLZT膜(150 nm) / {111}配向Pt膜(175 nm) / Ti(20 nm) / SiO₂ / Si基板

PLZTの成膜及び結晶化アニール

O ₂ /(Ar+O ₂) (%)	PLZT結晶化アニール時間 (秒)			
0	-	-	-	-
0.25	-	-	-	-
2	10	30	60	90
50	-	-	-	-
100	-	-	-	-

- 成膜: 高周波スパッタリング法
- 結晶化アニール: Ar/O₂雰囲気中で600°C

測定方法

X線回折測定

- 検出器: DECTRIS社製PILATUS100k
- X線: 20 keV / 15 keV (CuKa1に換算して表示)

XAFS測定

- 検出器: 帝国電機製作所製の転換電子計量
- X線: Ti-K吸収端(4.964 keV)
- 検出深さ: 20~30 nm

測定結果・解析結果

製造歩留り向上の理由

PLZT配向のAr/O₂流量依存

最適条件(O₂:2%)では、ランダム配向のPLZTが消失

O₂:2%における特異性

ランダム配向のPLZTは膜表面に形成

最適条件(O₂:2%)では、下部電極から成長する配向成分が優先的に形成され、膜表面のランダム成分が消失することで、製造歩留りが向上

PLZT結晶成長メカニズム及びランダム成分の消失理由

PLZT結晶成長過程の観測

XRDによる観測

XAFSによる観測 (PLZT表面20~30 nm)

下部電極と表面のペロブスカイト相への相転移速度

- Ar雰囲気: どちらも速い
- O₂雰囲気: どちらも遅い
- 最適(O₂:2%): 下部電極で速く表面で遅い

O₂はPLZT表面の相転移を抑制

パイロクロア相の雰囲気による安定性の違い

O₂はパイロクロア相を安定化させる効果

O₂濃度深さ分布モデル

抑制 (100%, 50%)
促進 (2%, 0.25%)

下部電極 PLZT膜厚 (nm) PLZT表面

パイロクロア相からペロブスカイト相への相転移

O ₂ 濃度	下部電極側	PLZT表面側
100%, 50%	抑制	抑制
最適2%	促進	抑制
0%, 0.25%	促進	促進

最適条件(O₂:2%)では、①PLZT表面から供給されたO₂により生じたO₂濃度深さ分布及び、②O₂によるパイロクロア相の安定化効果により、PLZT表面のランダム成分の形成を抑制

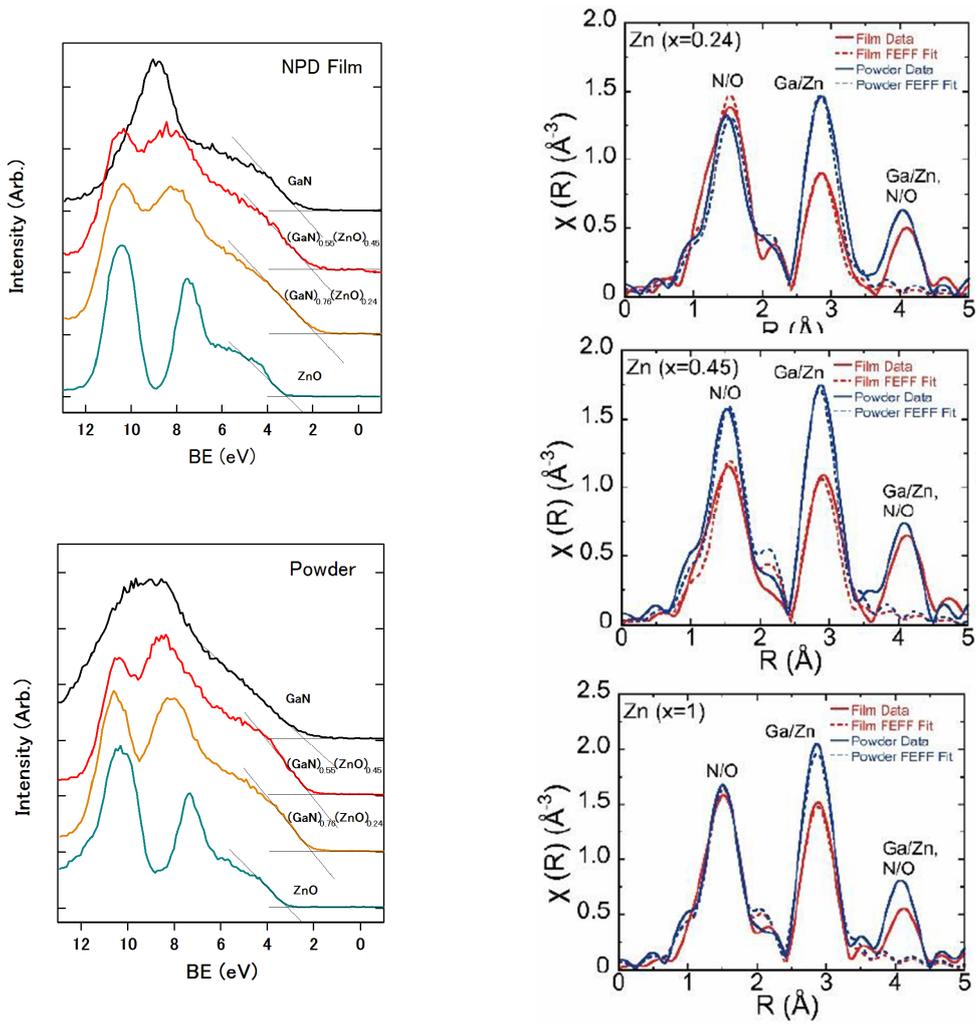
まとめ

- 強誘電体PLZTにおける結晶化アニール時のAr/O₂流量の最適化により、IoTエッジデバイス用メモリ技術を確認
- Spring-8の高輝度X線の利用により、FRAMの製造歩留りが向上する理由及び、PLZT結晶成長メカニズムを解明し、プロセス開発期間の短縮化に貢献

人工光合成用 GaN-ZnO ナノ粒子アノード電極膜の XAFS/HAXPES による分析

(株)富士通研究所 淡路 直樹, 穴澤 俊久, 眞鍋 敏夫, 天田 英之, 井土 幸夫, 熊坂 文明, 今中 佳彦

本多-藤嶋効果として知られている人工光合成技術は、水、二酸化炭素と太陽光から、酸素や水素、有機物を生成するもので、エネルギー・環境問題に有望な技術である。この反応の高効率化への重用なキーの一つはアノード電極であり、導電性のフッ素ドーパド酸化スズ(FTO)をガラス基板の上にコートした上に、光触媒を形成したものからなる。高い反応効率の電極を得るには、一般に多元素からなる光触媒を大きい表面積で FTO 基板の上に形成しなければならない。本報告では、エアロゾル式ナノ粒子堆積法(NPD)を用いて作成した $Ga_{1-x}Zn_xN_{1-x}O_x$ アノード電極の組成 $x=0.45$ において、通常の電極に比べ約 100 倍の電流を得ることができた。その高い光電流の原因を調べるために、電極試料を X 線回折、HAXPES、および XAFS により分析した。X 線回折では、組成 x による格子定数の変化を調べた。HAXPES では、左図のように組成と Valence Band Maximum の位置との関連を調べた。さらに XAFS では、右図のように NPD 膜と、原料粉末での構造秩序性の違いを調べた。これらに加え、拡散反射率によるバンドギャップ値など、複合的な情報から示唆される構造モデルをベースとし、第一原理計算を行った。その結果、NPD 膜の高い光電流は、結晶構造の揺らぎが大きいこと、Conduction Band が広がり、バンドギャップが減少したことによると考えられる。



研究分野: 環境材料

技術分野: X線・軟X線吸収分光、光電子分光

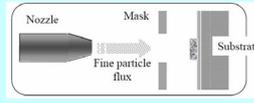
人工光合成用GaN-ZnOナノ粒子アノード電極膜の XAFS/HAXPESによる分析

(株) 富士通研究所 淡路直樹、穴澤 俊久、眞鍋 敏夫、天田 英之、井土 幸夫、熊坂 文明、今中 佳彦

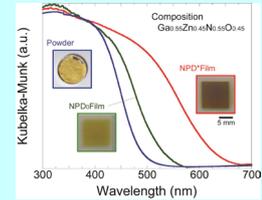
Introduction

本多-藤嶋効果として知られている人工光合成技術は、水、二酸化炭素と太陽光から、酸素や水素、有機物を生成するもので、エネルギー・環境問題に有望な技術の一つである。この反応の高効率化への重要な部品の一つはアノード電極であり、高い反応効率を得るには、一般に、多元素からなる光触媒を大きい表面積で基板上に形成しなければならない。本報告では、エアロゾル式ナノ粒子堆積法(NPD)を用いて作成した $(\text{GaN})_{1-x}(\text{ZnO})_x$ アノード電極の組成 $x=0.45$ (固溶限)において、通常の電極に比べ約100倍の電流が得られた。その高い光電流の原因を調べるために、電極試料をX線回折、HAXPES、およびXAFSにより分析した。

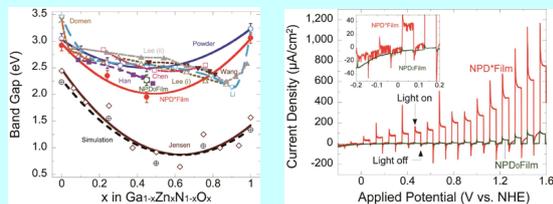
Experimental



NPD成膜
 原料粉末: $(\text{GaN})_{1-x}(\text{ZnO})_x$, $x=0.45$
 NPD膜: N_2 ガス速度 50m/sec
 NPD*膜: Heガス速度 100m/sec

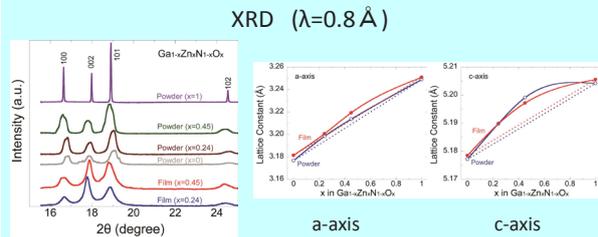


FTIR: クベルカームンク値
 原料粉末: 青
 NPD膜: 緑
 NPD*膜: 赤



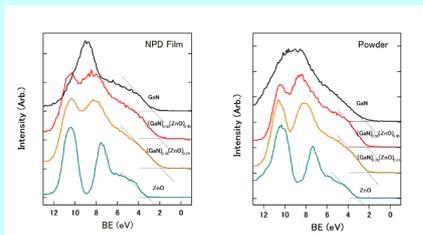
組成とバンドギャップの比較
 NPD0:2.27V, NPD*:1.97V

光電流 $x=0.45$

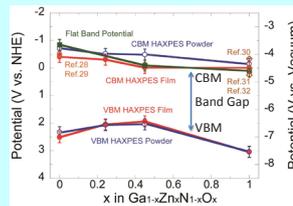


NPD膜: 弱い002配向

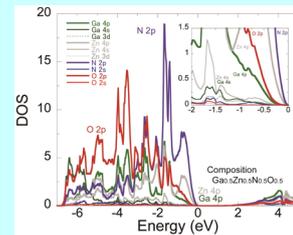
組成とa,c軸長(粉末:青、NPD膜:赤)



HAXPES Binding Energy & Valence Band Max



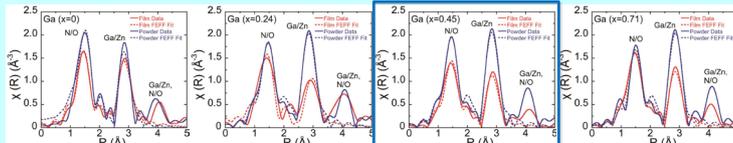
HAXPESとUV分光光度計測定によるVBMとCBM



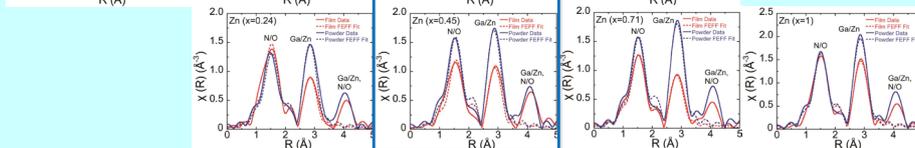
第一原理計算によるDOS

XAFS

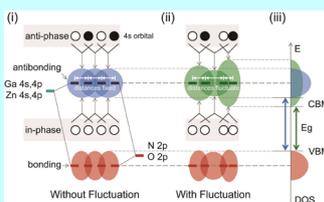
Ga_Kα



Zn_Kα



第一原理シミュレーション: 原子位置の揺らぎ



Band gap narrowing

まとめと議論

- (1) X線回折から、GaNにZnOの固溶が増えると結晶c軸が凸型に長くなる。(イオン半径)
- (2) HAXPESから、固溶が0.45付近でVBMが最も上がる。
- (3) XAFSから、固溶が0.45に近づく第1近接(Ga/Zn-O/N)と第2近接(Ga/Zn-Ga/Zn)の秩序性が下がる。NPD膜では粉末よりも構造秩序性が下がり、特に第2近接で顕著。
- (4) 第一原理シミュレーションから、カチオンのc軸方向へのシフトによりコンダクションバンドが広がり、バンドギャップが狭くなる。

以上から、GaNとZnOの固溶が0.45付近において、イオン半径の違いにより、結晶中の原子位置のランダム性が最大になり、NPD膜においては成膜時の歪などにより、さらにボンド長が揺らいだ結果、バンド構造が緩和し、バンドギャップが狭くなり、光電流の増加につながったと考えられる。

Reference

Yoshihiko Imanaka et al, Scientific Reports 6, Article number: 35593 (2016)

SiC-MOSFETのX線トポグラフィー評価

株式会社日立製作所 小西 くみこ、米山 明男、藤田 隆誠、島 明生

はじめに: SiCはSiと比較して絶縁破壊電界強度が約1桁、バンドギャップが約3倍大きいため、省電力かつ高温動作可能な次世代パワーデバイス材料として注目されている。SiCを用いたパワーモジュールは、小型化・低コスト化に向けてSiC-MOSFETの内蔵PNダイオードを還流ダイオードとして使用することが期待されている。しかし、通電中にウエハ内に含まれる基底面転位(BPD: Basal Plane Dislocation)が積層欠陥(SF: Stacking Fault)へ拡張し、デバイス特性の劣化を引き起こすことが知られており、これを抑制した信頼性の確保が必要である[1]。SFの検査方法としてはPL(Photoluminescence)イメージング法が知られているが、電極などのデバイス構造を除去する破壊検査であるため、長期信頼性等追加の電気特性評価ができないという問題がある。この問題を解決し、非破壊検査を実現するためにX線トポグラフィー法による電極付きSiC-MOSFET内部のSF評価可能性について検討を行った。

実験方法: エピタキシャル層30μmを積層したSiCウエハ上にSiC-MOSFET(図1)を形成したチップをサンプルに用いた。トポグラフィーによる評価はSpring-8 BL16B2において、Si(111)単色器で10 keVに単色化したX線を用い、SiC(0-2210)を対象として行った。トポ像の検出にはファイバーカップリング型のX線カメラを用いた。本カメラの観察視野は16.6 mm×14 mm、画素サイズは6.5 μm角である。本評価後に、SiC-MOSFETの電極を除去し(図1点線枠部分)、PLイメージング観察をした。バンドパスフィルタにはSFが高精細に検出できる420 nmのバンドパスフィルタを用いた。

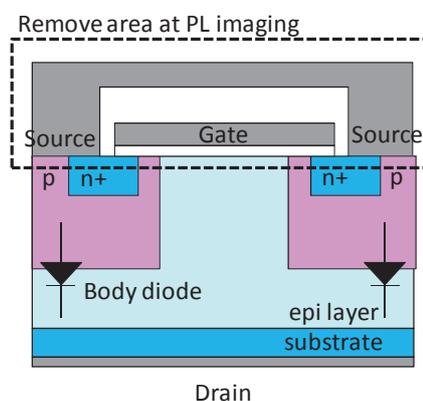


図1 SiC-MOSFETの断面図

結果: 図2(a)にSiC-MOSFETのX線トポグラフィー像を、(b)にPLイメージング像を示す。図中の白い領域はSFを示し、両者の比較から、X線トポグラフィー法でもPLイメージング法と同等の感度でSFを検出できていることがわかる。したがって、X線トポグラフィー法によりウエハ内部のSFを非破壊かつ高感度に検出できると期待される。

参考文献: [1] M. Skowronski, S. Ha, J. Appl. Phys. 99, 01101 (2006).

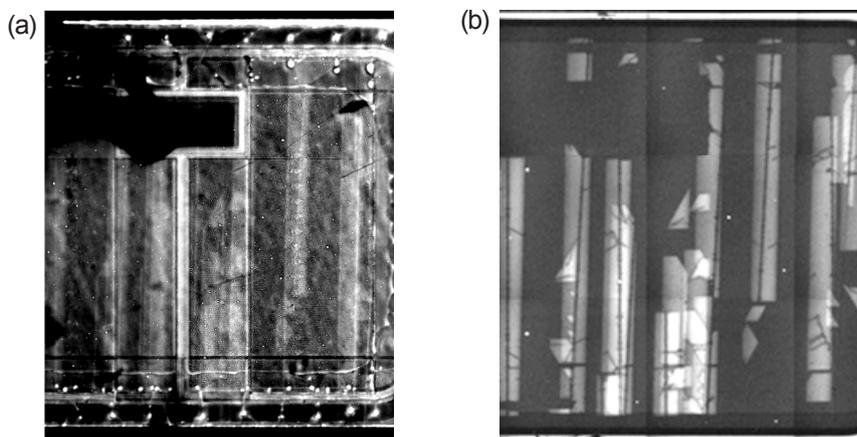


図2 SiC-MOSFETの
(a) X線トポグラフィー像、
(b) PLイメージング像

500μm

SiC-MOSFETのX線トポグラフィー評価

Investigation of crystal defects in SiC-MOSFETs by X-ray topography.

HITACHI
Inspire the Next

株式会社 日立製作所 研究開発グループ
小西 くみこ、米山 明男、藤田 隆誠、島 明生

背景と目的

SiC(Silicon Carbide)はSiと比較して絶縁破壊電界強度が約1桁、バンドギャップが約3倍大きいため、省電力かつ高温動作可能な次世代パワーデバイス材料として注目されている。SiCを用いたパワーモジュールは、小型化・低コスト化に向けてSiC-MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)の内蔵PNダイオードを還流ダイオードとして使用することが期待されている。

しかし、通電中にウエハ内に含まれる基底面転位(BPD: Basal Plane Dislocation)が積層欠陥(SF: Stacking Fault)へ拡張し、デバイス特性の劣化を引き起こすことが知られており、これを抑制した信頼性の確保が必要である。SFの検査方法としてはPL(Photoluminescence)イメージング法が知られているが、電極などのデバイス構造を除去する破壊検査であるため、長期信頼性等追加の電気特性評価ができないという問題がある。

この問題を解決し非破壊検査を実現するため、X線トポグラフィー法による電極付きSiC-MOSFET内部のSF評価可能性について検討を行った。

実験方法

[図1]

試作したSiC-MOSFETの(a)基本セル断面図と(b)チップ上面図を示す。4度オフのn⁺型SiC基板上にn型エピタキシャル層30 μmを積層したSiCウエハを使用し、基本的なDouble-diffused MOS(DMOS)構造とした。P領域とn型エピタキシャル層の接合からなるダイオードがSiC-MOSFETの内蔵PNダイオードである。チップ上面にはソースまたはゲート給電用電極であるソースパッドとゲートパッドが配置され、それらは厚さ5 μm程度のAlからなる。

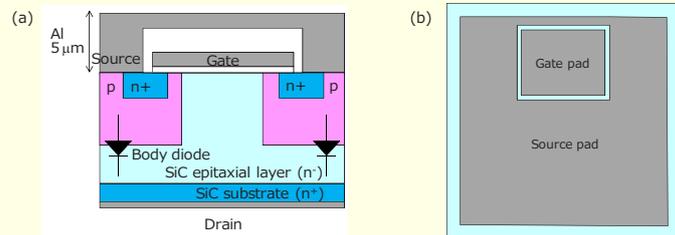


図1 SiC-MOSFETの (a) 基本セル断面図と (b) チップ上面図

[図2]

実験フローとX線トポグラフィー評価時のSiC-MOSFET断面図を示す。まずSiC-MOSFETを試作し、X線トポグラフィー像を取得した。その後、ウェットエッチング処理によりSiC-MOSFETの電極構造を除去し、PLイメージング像を取得した。PL評価では、励起光がAl電極を透過しないため、それらを全て除去する必要がある。一方、X線トポグラフィー評価では入射X線がAl電極を透過するため、Al電極を除去する必要がない。

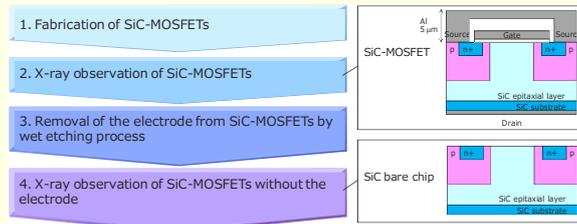


図2 実験フローとX線トポグラフィー評価時のSiC-MOSFET断面図

[表1][図3]

X線トポグラフィー評価条件と評価時の配置図を示す。評価はSPring-8 BL16B2において、Si(111)単色器で10 keVに単色化したX線を用い、SiC(02210)を対象として行った。X線の侵入深さは41 μm程度となる。X線トポグラフィー像の検出にはファイバーカップリング型のX線カメラを用いた。本カメラの観察視野は16.6 mm×14 mm、画素サイズは6.5 μm角である。

Energy	10 keV
Diffraction condition	$g = 0\bar{2}210$
X-ray penetration depth	41 μm
X-ray camera	Pixel size : 6.5 μm View size : 16.6×14 mm

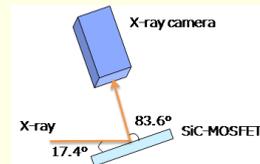


図3 X線トポグラフィー評価系の配置図

結果

[図4]

SiC-MOSFETの(a)X線トポグラフィー像と(b)PLイメージング像を示す。PL評価にはSFが高精度に検出できる420 nmのバンドパスフィルターを用いた。図4(a)(b)中の白いコントラスト部はSFを示す。図4(a)(b)の比較から、X線トポグラフィー法でもPLイメージング法と同等の感度でSFを検出できていることがわかる。したがって、X線トポグラフィー法によりウエハ内部のSFを非破壊かつ高感度に検出できると期待される。

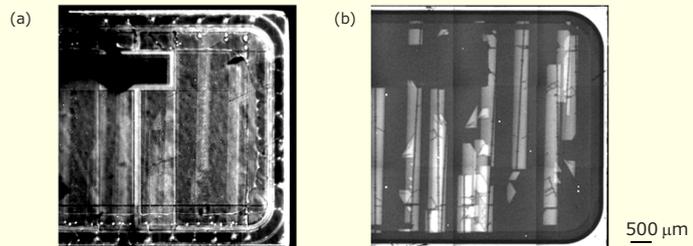


図4 SiC-MOSFETの (a) X線トポグラフィー像と (b) PLイメージング像
PL評価は420 nmバンドパスフィルターを用いた。

走査型X線顕微鏡を用いたマイクロポグラフィーの検討

(株)日立製作所 米山明男、横山夏樹、山田廉一

はじめに

走査型X線顕微鏡は、ミラーにより集光したX線ビームを試料上で走査し、各照射位置における物理や化学情報などをミクロン以下の空間分解能で取得できる顕微鏡である。今回、本顕微鏡を用いてエピ膜付き SiC 基板を対象として、X線回折(トポグラフィー)による結晶性の乱れと、蛍光X線分析による元素分析(不純物の検出)を同時に行い、両者の関係について評価を試みた。

装置

図1にサンビーム(BL16XU)の同X線顕微鏡の概要を示す。仮想光源から出射した単色X線をKB配置の全反射ミラーで試料上に集光する光学系で、試料を走査して各照射位置の分析を行う。最小ビーム径は0.3ミクロン角であるが、本研究ではビーム発散を抑えるために横0.8、縦0.6ミクロンで使用した。蛍光X線は試料斜め上流に設置した半導体検出器(SDD)により、回折X線は試料ホール側に設置したYAP検出器で同時に取得した。試料は高速PZTステージ上(X,Y,Zの3軸構成、各ストロークは250ミクロン、位置決め精度は10nm)に設置し、10HzのX-Z軸の二次元ステップスキャンにより、各信号を取得した。X線のエネルギーは8.04 keVとし、回折面にはSiC(11-28)面を利用した。

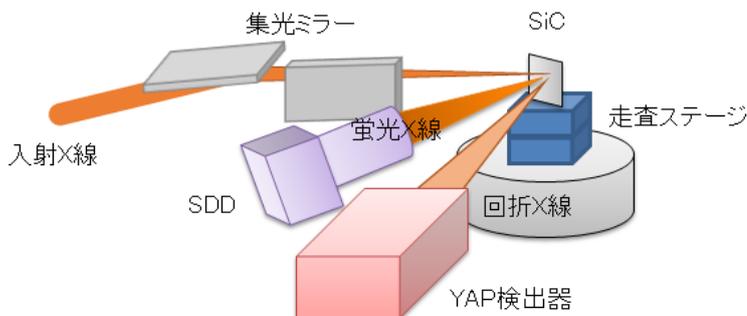


図1 走査型X線顕微鏡の模式図。回折X線による結晶性評価と蛍光X線による元素分析が同時に可能。

結果

図2に回折X線の強度をコントラストとする像(マイクロポグラフィー像)と、Fe及びCaの元素分布像(元素マップ)を示す。トポ像では従来のトポグラフィーと同様にらせん転位と考えられる大きな転位に加え、小さい刃状転位まで鮮明に可視化できている。一方、元素マップでは一部の転位と対応した箇所(Fe)の集積があることがわかる。従って、不純物が結晶状態に関連していると示唆されるが、本測定では数例に留まっている。今後より多くの試料を計測し、その関係を正確に評価する予定である。

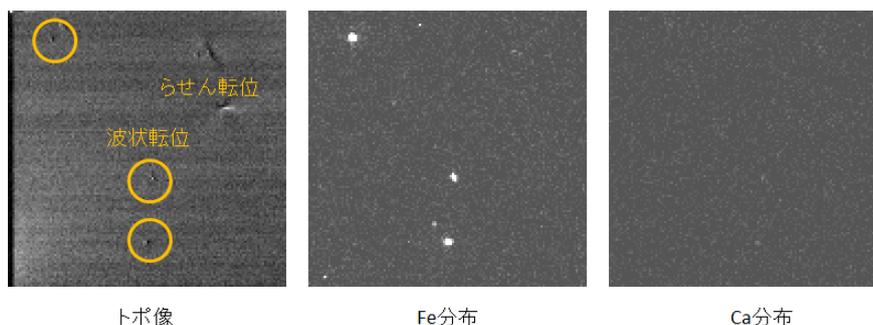
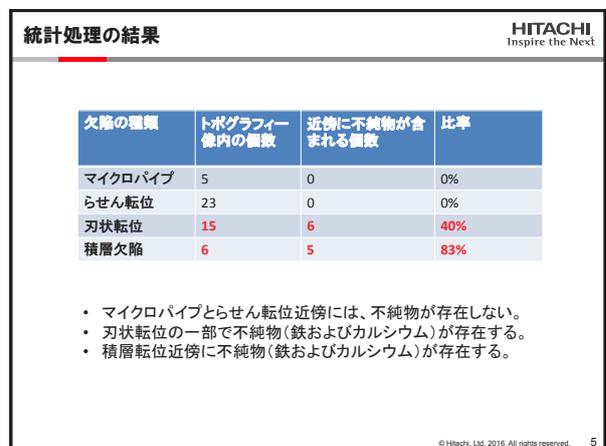
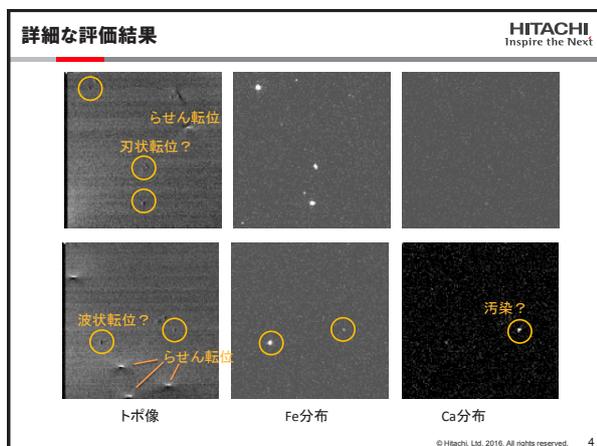
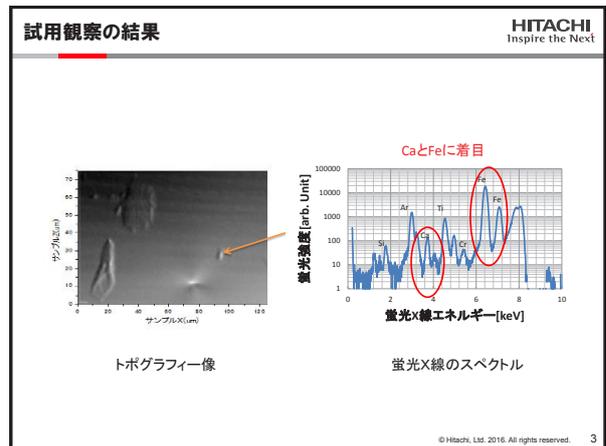
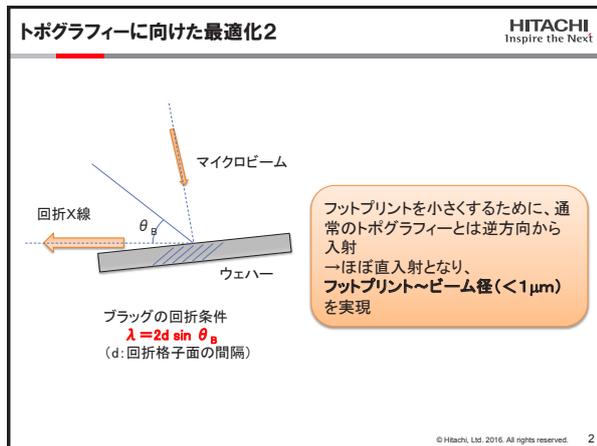
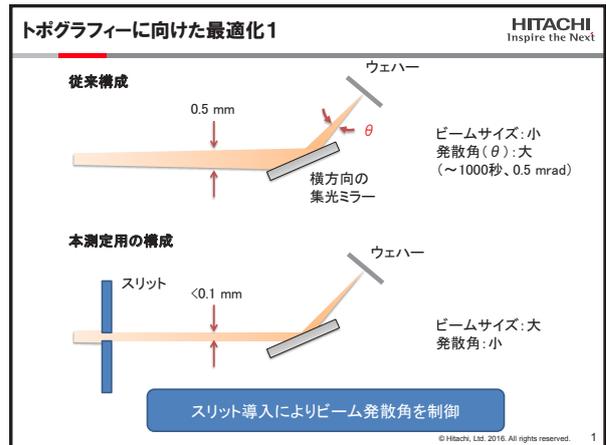
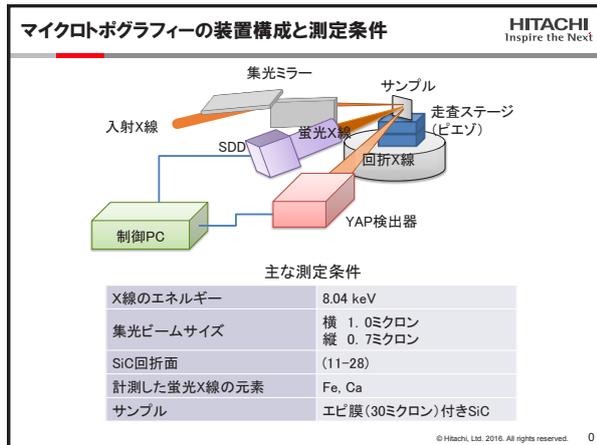


図2 SiCのマイクロポ像、Fe及びCaの元素マップ。一部転位とFe集積の位置が一致している。



全固体電気二重層電界効果による金属薄膜のキャリア濃度の変調、 及び、その非線形動的挙動

パナソニック株式会社 浅野哲也

近年、イオン伝導体の界面で形成される電気二重層をゲートとして利用することで、電界効果によって界面近傍の材料特性を変調する技術が実証され、注目を集めている。これまで、絶縁体や半導体の伝導度や電子物性の変調例が多く報告されてきているが、金属の物性の変調の実証は少ない。金属は元々電子密度が高く、物性変化を与えるほどの電子密度の変化は困難であると考えられているが、電気二重層を利用することで、大きな電子密度変化を与えることができれば、伝導度変化によるスイッチングとは全く異なる新たなデバイスを実現することが可能であると考えられる。又、イオン伝導を利用したデバイスは、その動作速度が場合によっては100秒程度のオーダーで非常に遅く、特に室温動作における動作速度が課題視されている。そこで、我々は、高伝導度を示すリチウムイオン伝導体 $\text{La}_{2/3-x}\text{Li}_x\text{TiO}_3$ (LLT) をエピタキシャル成長することで、全固体電気二重層を介した電界効果を用いて、金薄膜の伝導度を室温で秒単位での実証を行った。又、その過渡電流を解析し、LLT 薄膜電解質において、非線形イオン伝導の発現による非線形動的挙動が発現することを見出した。

Figure 1 に作製したデバイス構造を示す。SrTiO₃(100) 基板上に、SrRuO₃ 下部ゲート電極、LLT 電解質をエピタキシャル成長し、その上に金薄膜チャンネルを高周波スパッタリングとリフトオフプロセスを用いて形成した。取り出し電極として、Ti/Pt 電極を、電子線蒸着とリフトオフプロセスを用いて形成した。LLT 電解質は、二次元的なリチウムイオン伝導を示すが、その伝導面が膜厚方向に対して平行になるように、エピタキシャル成長した。

イオン伝導体をゲートとしたデバイスは、デバイス動作中のイオン伝導体自体の酸化還元が危惧される。そこで、デバイス動作中の LLT 電解質の酸化還元状態を観測するために、ゲート電圧印加の元、HAXPES 測定を行った。Figure 2 にその結果を示す。ゲート電圧を印加しても、Ti の 2p 軌道のピークにエネルギーシフトは見られなかった。この結果より、電解質の酸化還元状態は変化しておらず、ゲート電圧印加による金薄膜の伝導度の変調は、電界効果によるキャリア濃度の変調が起源であることが裏付けられた。

Ref: T. Asano et al., ACS Appl. Mater. Interfaces 2017, 9, 5056–5061

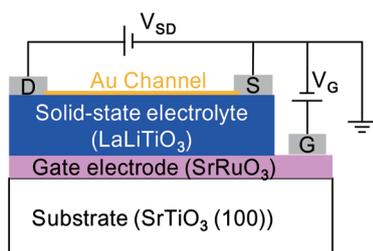


Figure 1: The cross sectional illustration of the fabricated device for Au carrier modulation via EDL-gating with a back-gate structure.

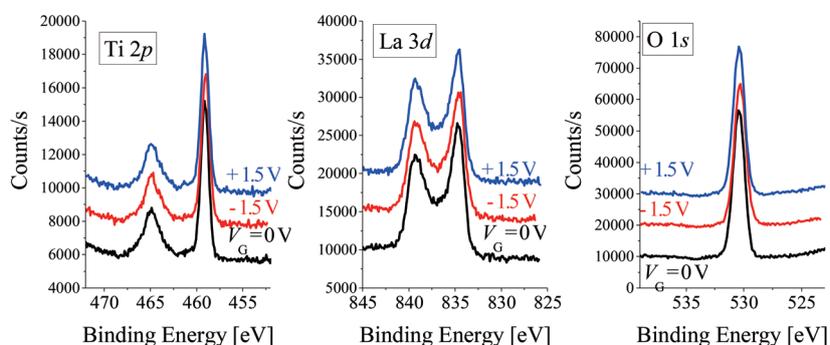


Figure 2: The in-situ HAXPES spectra of the fabricated device under various applied gate biases. No redox behavior was observed in the Ti 2p binding energy, which otherwise should shift with applied bias.



全固体電気二重層電界効果による金属薄膜のキャリア濃度の変調、及び、その非線形動的挙動

Tetsuya Asano

Advanced Research Division, Panasonic Corporation, Osaka, Japan

課題番号: 2015A5120
 実施BL: BL16XU
 研究分野: 電気化学
 技術分野: 光電子分光

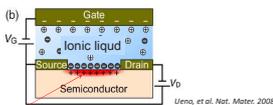
Abstract: Electric double layer (EDL)-gated carrier injection using ionic liquid has attracted rapidly growing attention due to its capability to modulate material properties in the vicinity of the EDL interface. In order to turn this newly emerging technology into real devices, it is inevitable to realize all-solid-state devices working at room temperature. Here, we have demonstrated conductivity modulation of gold thin film using **all-solid-state EDL-gating at room temperature** at the speed of ~ 1 sec.

Introduction: Iontronics (Ionics \times Electronics)

Functional material properties have been modulated utilizing electric double layer (EDL)-gating.

Advantageous characteristics of EDL:

- ✓ High capacitance ($\sim \mu\text{F}/\text{cm}^2 - 10 \mu\text{F}/\text{cm}^2$)
- ✓ Strong electric field ($\sim \text{MV}/\text{cm} - \sim 10\text{MV}/\text{cm}$)
- ✓ Extremely high concentration of carriers induced at the interface ($10^{13}/\text{cm}^2 - 10^{15}/\text{cm}^2$)



Emergence/modulation of materials properties: e.g. Superconductivity, Magnetism, Optical, Metal/insulator transition, etc.

- Desired to turn the ionic liquid-based device into **all-solid-state EDL device** for real application.
- **More than switching devices** such as transistors

Target: Carrier injection into metals via solid-state EDL

- Metallic properties are governed by the electronic structures in the vicinity of Fermi surface.
- Injection of carriers into metals will raise Fermi energy or change the shape of Fermi surface. \rightarrow Various functional properties of metals can be modulated by electron injection.

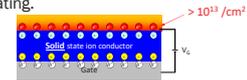
The metallic properties that can be modulated by electron injection

Metallic functional properties	Governing electronic characteristics
Catalytic activity	Work function (or E_f)
Optical properties	Plasmon resonance frequency, $(D E_f)$
Tc for Superconductivity	$D(E_f)$
Tc for Magnetism	$D_{\uparrow}(E_f) - D_{\downarrow}(E_f)$

Conventional dielectric gating: $n_{2D} \sim 10^{12}/\text{cm}^2 \rightarrow \Delta E_f \sim 1 \text{ meV} \rightarrow$ Too small for any noticeable variation

Objective of this study

To demonstrate sensible carrier concentration modulation of metals ($> 10^{13}/\text{cm}^2$) at room temperature using all-solid-state electric double layer (EDL) gating.



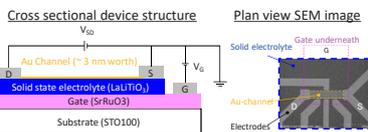
Strategies / Fabricated device structure

Device Concept:

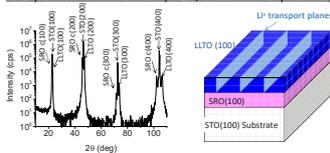
- For high electrochemical stability and high ionic conductivity, solid state lithium ion conductor, $\text{La}_{0.56}\text{Li}_{0.33}\text{TiO}_3$, was employed.
- Epitaxial growth of lithium ion conductor and gate electrode for ion transport.

Device Fabrication:

- PLD growth of gate electrode and solid state electrolyte.
- Lift-off process to define Au channel and lead electrodes.

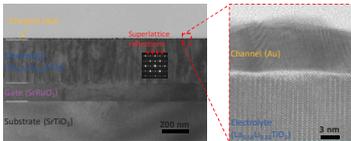


XRD pattern of the device (θ -2 θ , before Au deposition)



- ✓ Successful epitaxial growth of the solid electrolyte, $\text{La}_{0.56}\text{Li}_{0.33}\text{TiO}_3$.
- ✓ 2D Li^+ ion transport planes vertically aligned.

Cross sectional TEM images

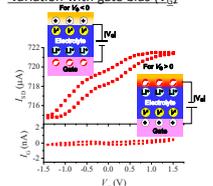


- ✓ Thin gold channel deposited on atomically-flat electrolyte surface.
- ✓ 1-2 monolayers of the disordered phase present at the interface.
- ✓ Selected area diffraction confirmed the superlattice structure laid in in-plane direction (consistent with XRD pattern).

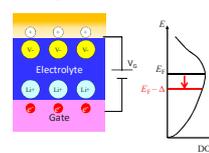
Au conductivity modulation via all-solid-state EDL-gating

Modulation of Au channel conductivity by gate bias

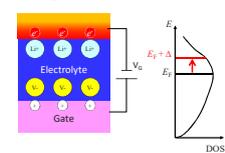
Channel (I_{ch}) and gate (I_g) currents variation with gate bias (V_g)



For $V_g < 0$: Electrons expelled



For $V_g > 0$: Electrons injected

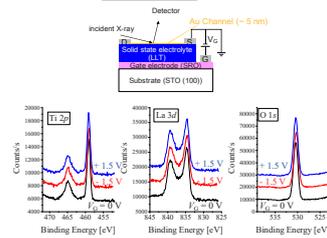


- ✓ Channel current (I_{ch}) is modulated by gate bias (V_g).
- ✓ Gate current (I_g) is much less than the channel current (I_{ch}) by the factor of $10^2 - 10^3$.
- \rightarrow Change in the channel current is indeed due to carrier density modulation in Au channel.

- ✓ The polarity of Au conductivity modulation is consistent with the Li^+ ionic motion in the electrolyte.
- ✓ The induced electron density is approximately estimated to be $\sim 7 \times 10^{13}/\text{cm}^2$ at $V_g = 1.0 \text{ V}$, which corresponds to the capacitance value of $C \sim 10 \mu\text{F}/\text{cm}^2$. This value is in the order of the EDL capacitance. \rightarrow The Au conductivity modulation is due to EDL formed between the Au and solid state electrolyte.

Verification of Au-conductivity modulation

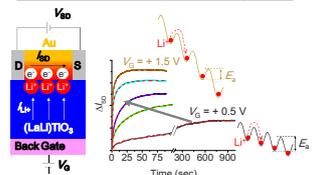
HAXPES Spectra



- No Ti2p peak shift under applied bias. \rightarrow No Ti valence variation under applied bias.
- Electron density in Au film indeed varied under applied gate bias.

Indication of non-linear ionic transport

Current variation after application of gate bias



Fitting equation:

$$\Delta I_{SD}(t) = \alpha V_G C_{EDL} \left[1 - \sum_{i=1}^n \exp\left(-\frac{t}{\tau_i}\right) \right]$$

- Time constants exponentially decrease with applied gate bias. \rightarrow Indicating that the nonlinear ionic transport occurred.
- Data can be fitted with two time constants. \rightarrow Indicating two competing processes to develop the carrier accumulation.

Conclusions

- We have successfully demonstrated the Au conductivity modulation via all-solid-state EDL gating.
- Using Li^+ conducting $\text{La}_{0.56}\text{Li}_{0.33}\text{TiO}_3$ as an electrolyte, the carrier density modulation can be as fast as the order of ~ 1 Hz at room temperature.
- The EDL evolves with two time constants, and the time constants exponentially decreases with the increasing applied gate bias, unique feature of ion-induced gating.

Ref: Tetsuya Asano et al., ACS Appl. Mater. Interfaces, 2017, 9, 5056-5061.
 e-mail: asano.tetsuya001@jp.panasonic.com

燃料電池用新規アノード触媒の XAFS による CO 吸着解析

山梨大学: 矢野啓, Guoyu Shi, 犬飼潤治, 内田裕之, 飯山明裕

日産アーク: 松本匡史, 谷田肇, 荒尾正純, 今井英人

はじめに: 改質ガスを用いる定置用固体高分子形燃料電池の大幅なコストダウンには、高い水素酸化反応(HOR)活性と CO 耐性に加え、空気曝露に対する酸化耐性を有するアノード触媒の開発が重要課題である。近年、我々は PtCo 合金ナノ粒子表面を数原子層の Pt スキンで被覆した触媒 (Pt_{xAL} -PtCo/C) がそのような条件を満足しうる可能性を見出した^{1,2)}。水素で飽和した 70°C および 90°C の電解質水溶液中、可逆水素電極(RHE)基準 20 mV での Pt_{xAL} -PtCo/C の見かけの HOR 活性は Pt/C の 1.5 倍~1.7 倍で、従来の CO 耐性触媒 Pt_2Ru_3 /C の約 2.2 倍であった。電解質溶液中で触媒に CO を吸着させた後の HOR 活性は、CO 吸着前の 88%(Pt/C では 52%、 Pt_2Ru_3 では 78%)を維持しており、 Pt_{xAL} -PtCo/C が非常に高い CO 耐性を有することが分かった。そこで、 Pt_{xAL} -PtCo/C 触媒の耐 CO 被毒メカニズムをその場 X 線吸収分光法 (in-situ XAS) によって明らかにすることを目的とした。

実験: In-situ XAS セルを用いて、 N_2 および CO で飽和した 0.1 M $HClO_4$ 溶液中、所定の電位における Pt/C および Pt_{xAL} -PtCo/C 触媒の Pt L_3 吸収端 XAFS スペクトルを、蛍光法にて室温で取得した。作用極は、カーボンプレート基板に触媒を高分散担持したものを用いた。参照極には RHE を、対極には Pt 黒を用いた。

結果: N_2 および CO 飽和した水溶液中の Pt/C (a) と Pt_{xAL} -PtCo/C (b) の XANES スペクトルを Fig. 1 に示す。 N_2 飽和した水溶液中で電極電位を 0.40 から 0.05 V に変化させると、Pt/C においてはホワイトピークが高エネルギー側にシフトし、かつブロードになった (Fig. 1a)。これは水素の吸着による Pt の電子状態変化に起因する。CO 飽和溶液中で水素吸着の起こる 0.05 V に電位を保持した場合には、 N_2 飽和と比べてピークの立ち上がりは 1.2 eV 高エネルギー側にシフトし、ピーク強度も増大した。これは Pt から CO への“ π -back donation”に伴う電子状態変化で説明できた。一方、 Pt_{xAL} -PtCo/C では、CO 飽和溶液中においてもホワイトピークの変化はほとんど観察されず (Fig. 1b)、また EXAFS スペクトルにも CO 吸着の影響は見られなかった。このことから、Pt スキン構造を持つ合金表面では下地合金からの電子修飾効果により CO 吸着が弱められることが示唆された。

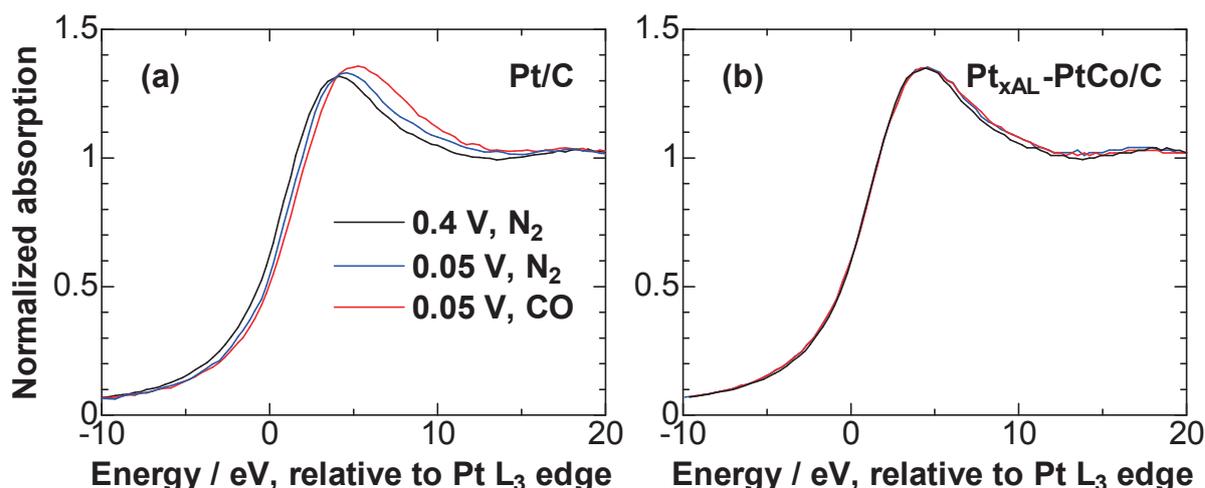


Figure 1. Pt L_3 -edge XANES collected in N_2 - and CO-saturated 0.1 M $HClO_4$ solution for Pt/C (a) and Pt_{xAL} -PtCo/C (b) catalysts.

- 1) G. Shi, H. Yano, D. A. Tryk, M. Watanabe, A. Iiyama, and H. Uchida, *Nanoscale* 8, 13893 (2016).
- 2) G. Shi, H. Yano, D. A. Tryk, A. Iiyama, and H. Uchida, *ACS Catal.* 7, 267 (2017).



燃料電池用新規アノード触媒のXAFSによるCO吸着解析

山梨大学: 矢野啓, Guoyu Shi, 犬飼潤治, 内田裕之, 飯山明裕
日産アーク: 松本匡史, 谷田肇, 荒尾正純, 今井英人

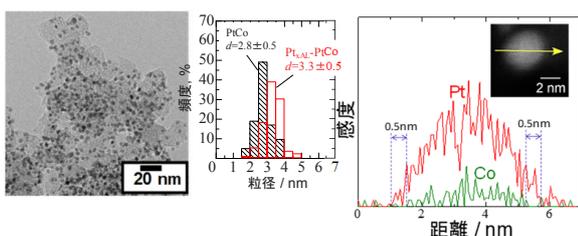


—SPer-FC—

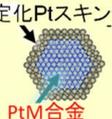
背景・目的

改質ガスを用いる定置用固体高分子形燃料電池の大幅なコストダウンには、高い水素酸化反応(HOR)活性とCO耐性に加え、空気曝露に対する酸化耐性を有するアノード触媒の開発が重要課題である。近年、我々はPtCo合金ナノ粒子表面を数原子層のPtスキンで被覆した触媒 (Pt_{xAL}-PtCo/C)がそのような条件を満足しうる可能性を見出した。そこで、Pt_{xAL}-PtCo/C触媒の耐CO被毒メカニズムをその場X線吸収分光法 (in-situ XAS)によって明らかにすることを目的とした。

Pt_{xAL}-PtCo/C触媒

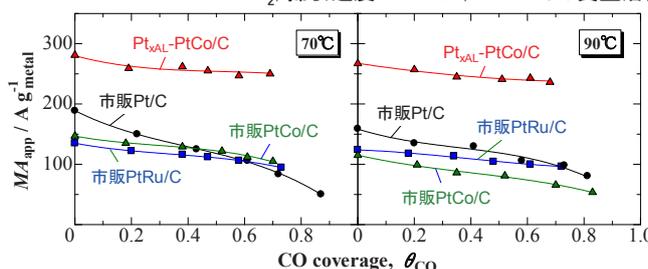


合金組成と粒径を自在に精密制御した安定化Ptスキン- Pt合金 (Pt_{xAL}-PtCo/C) を炭素担体に高分散し、CO耐性と酸化耐性を有するアノード触媒を調製。



HOR活性 (20 mV) のCO被覆率依存性

電解液: 0.1 M HClO₄ CO吸着: 1000 ppm CO/H₂, 50 mV, 0-90分保持
HOR: H₂, 掃引速度: 1 mV/s, 20 mVでの質量活性

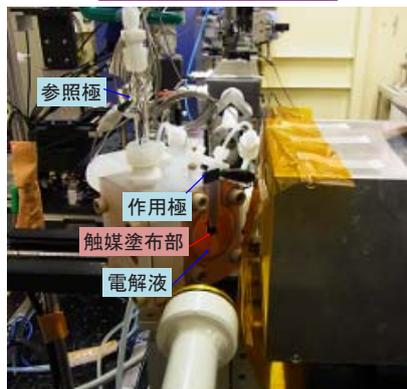


70°Cでのc-Pt₃Co/CのCO耐性はc-Pt₂Ru₃/Cと同等。しかし、90°CではPt-likeになる。
Pt_{xAL}-PtCo/Cは70~90°Cで極めて高いCO耐性を示した。

In situ XAS 測定

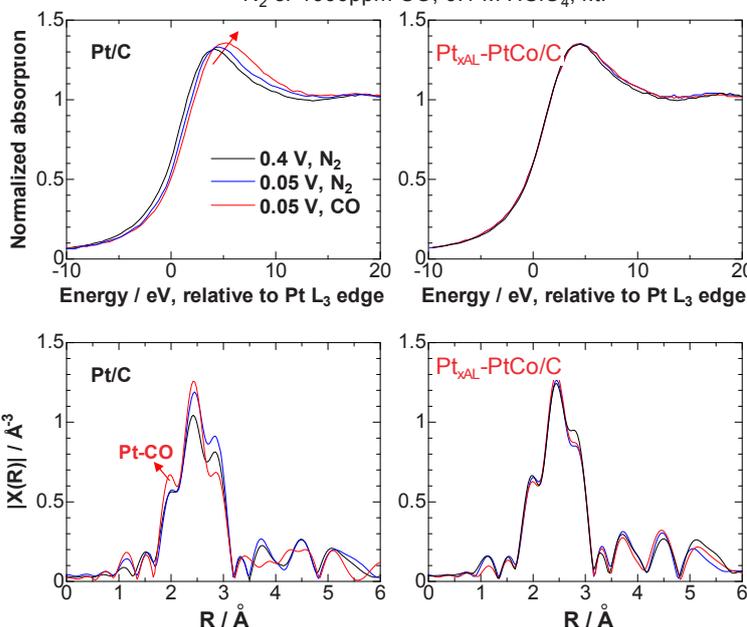
課題番号: 2015B3388, 2016A1805, 2016A5390, 2016B5390
BL No.: BL08B2, BL16B2, BL19B2

In-situ 電気化学セル



Pt L₃-edge XANES & EXAFS

N₂ or 1000ppm CO, 0.1 M HClO₄, r.t.



Pt/C:
<N₂, 0.40 V → 0.05 V> ホワイトピークが高エネルギー側にシフト: 水素吸着によるPtの電子状態変化に起因。
<CO, 0.05V> ピーク立ち上がりが高エネルギー側にシフトし、強度も増大: PtからCOへのπ-back donationに伴う電子状態変化に起因。EXAFS解析においてもPt-CO結合に起因するピーク出現。

Pt_{xAL}-PtCo/C:
CO飽和溶液中においてもホワイトピークの変化は無し。EXAFSスペクトルにもCO吸着の影響は見られなかった。
→ Ptスキン構造を持つ合金表面では下地合金からの電子修飾効果によりCO吸着が弱められる。

本研究はNEDO “SPer-FC”により行われた。関係者各位に感謝する。

HAXPES を用いた Li イオン電池における Si 系負極の表面分析

日産自動車株式会社 総合研究所

高橋伊久磨, 相磯侑花, 小松秀行, 光山知宏, 大間敦史, 秦野正治

はじめに: Si 系負極は、高容量 Li イオン電池の電極材料として着目されている。しかしながら、Si 系負極は充放電サイクルにより、活物質のバルク構造変化、および活物質の表面状態変化や表面被膜 (SEI: Solid Electrolyte Interphase) の生成により、容量低下を引き起こすため、寿命向上が研究開発課題となっている。私たちは、これまでに Si と他元素との合金組成、および合金化条件の検討により、寿命を向上させるバルク構造について報告している。(1, 2) 一方で、Si 合金負極の表面状態変化や SEI 生成による容量低下メカニズムについては不明な点が多い。そこで本検討では、SEI 生成が顕著な初回充放電時における Si 合金負極の表面状態と、電池寿命との関係性を理解することを目的に、HAXPES を用いて活物質表面を分析し検討を行なった。

実験: Si 合金負極は、合金組成を Si:Sn:Ti = 60:10:30 とし、銅集電箔上にスパッタにより約 100nm となる薄膜を製膜し電極とした。電気化学測定には、作用極に Si 合金電極、対極に Li 金属、電解質に 1.0M LiPF₆/EC:DEC (3:7) で構成したコインセルを用いた。0.1C のレートにより、OCV から 0.01 V まで充電し、その後 2.0 V まで放電した際の OCV、充電時の 0.4 V、0.2 V、0.01 V、放電時の 0.5 V、2.0 V において、コインセルを大気非暴露の状態で解体して取り出し HAXPES 測定サンプルとした。HAXPES 測定は、SPring-8 の BL-16XU にて、入射エネルギーを 8000 eV、測定エリアは 1.5 mm x 40 μm、光電子取り出し角度を 85° (測定深さは 30 nm) の条件で、C、O、F、P、Si の 5 元素に対して行なった。

結果・考察: Fig. 1 に Si 合金負極の充放電曲線を示す。本サンプルの充電容量は 1150 mAh g⁻¹、放電容量は 930 mAh g⁻¹ であった。このサンプルに対し、Fig. 1 中の赤点 1-6 で測定した Si 1s における HAXPES スペクトルを Fig. 2 に示す。OCV では、Si 由来のピークのみが観測されている。このピークは、0.4 V への充電により低エネルギー側にシフトし、Li_xSi に変化していることを示している。さらに 0.2 V まで充電すると、Li_xSi 由来のピークは、リチエーション量 x の増加に伴い、より低エネルギー側にシフトすると同時に、シリケート、SiO₂ 由来のピークが現れ、0.01 V では Li_xSi に対するピークはほとんど観測されず、シリケート、SiO₂ 由来のピークがメインピークとなっている。これは、満充電時の Si 合金負極の表層では、シリケート、SiO₂ に変化していることが考えられる。その後、0.5 V まで放電させると、シリケート、SiO₂ 由来のピークは小さくなり、それに伴い Li_xSi ピークが大きくなり、2 V 放電状態では、Li_xSi 由来のピークは Si 状態まで戻らず、Li_xSi の状態にとどまることが分かった。当日は、他の元素の HAXPES スペクトルも加え、初回充放電時の Si 合金負極における SEI 生成も含めた表面状態変化メカニズムと、その後の電池寿命との関係性について論じる。

参考文献

- (1) 千葉ほか, 第 56 回電池討論会, 3D01, 3D02
- (2) 蕪木ほか, 第 55 回電池討論会, 3A18

研究分野: 電気化学

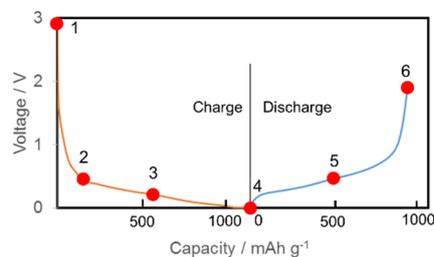


Fig. 1 Charge-Discharge curve of Si-alloy electrode at 0.1 C.

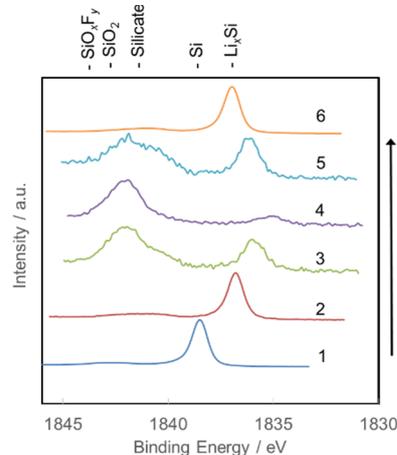


Fig. 2 Si 1s HAXPES spectra at each point during the initial charge-discharging.

技術分野: 光電子分光

HAXPESを用いたLiイオン電池におけるSi系負極の表面分析

日産自動車株式会社 総合研究所 先端材料研究所
高橋伊久磨, 相磯侑花, 小松秀行, 光山知宏, 大間敦史, 秦野正治

はじめに

■ 高寿命Si系負極の材料設計に向けた検討
Si系負極の寿命は、活物質のバルク構造、界面状態に影響する。

□ バルク構造変化

□ 界面状態変化

1) R. Elazari et al., J. Electrochem. Soc. 159, 2012, 159, A1440. 2) X.H.Liu et al., Nat.Nano, 7, 2012, 749. 1

本研究の目的

■ 日産における高寿命Si系負極の材料設計に向けた検討

□ 高寿命となるSi合金のバルク構造設計

高寿命Si合金の合金組成

高寿命Si合金のバルク構造

□ 高寿命となるSi合金の界面設計

表面被膜生成に顕著な初回充放電時の活物質表面状態の理解、および表面状態と劣化の関係を理解することを本検討の目的とした。

3) 吉岡ほか, 第56回電池討論会 3D02 2

実験

■ サンプル作製

Ternary Co-sputter

Sputtered Si合金電極

Si:Sn:Ti = 60:10:30

■ 電気化学測定

測定セル: コインセル
Si alloy/Li metal
1M LiPF₆ EC/DEC (3:7)
初回充放電: 0.01 - 2.0 V, 0.1C
充放電サイクル: 0.01 - 2.0 V, 0.1C

■ HAXPES測定条件

BL-16XU
入射エネルギー: 8000 eV
測定エリア: 1.5 mm x 40 μm
光電子取り出し角度: 85° (測定深さ80 nm)
測定元素: C, O, F, P, S

測定サンプル:
実験 1. 初回充放電時 (1-6)
実験 2. 10サイクル後放電時 (2.0 V)

3

実験結果 1: 初回充放電

- 充電開始(2)すぐに、Li₂CO₃とLiFが生成され、放電後も残った状態である。
- 1サイクル後(6)において、Li₂O由来のピークが観測される。
- (6)では、CO₃²⁻とCH₃のピーク強度は、CO₃²⁻ < CH₃の関係となっている。

4

実験結果 2: 10サイクル後

- 充電開始(2)すぐに、リン酸が生成されている。
- 充電が進むにつれ(2-5)、Li₂Siの生成とシリケート、SiO₂が生成される。
- 満充電時(4)においては、シリケート、SiO₂由来のピークがメインピークとなり、Li₂Siの生成割合はほとんどない。
- 1サイクル後(6)では、Siの状態に戻らず、Li₂Siの状態に留まる。

5

実験結果 2: 10サイクル後

容量維持率 99.6%

- 10サイクル後の放電容量維持率は99.1%であった。
- 1サイクル後と10サイクル後を比較すると、C-Cを示すピークが現れている。
- シリケート、SiO₂由来のピーク強度が増加している。

6

考察

■ 初回充放電時の表面状態変化、および表面状態と劣化の関係

1 → 2: 充電初期過程
副反応である表面被膜の生成反応量が大きい。

2 → 4: 満充電過程
Siに対するリチエーションの反応量が大きくなり、充電が進む。満充電時には、活物質表面はシリケート、SiO₂で覆われる。

4 → 6: 放電過程
Li₂Oの生成とともに、生成したLi₂CO₃が安定であることを考慮すると、CHを主とした有機系の表面被膜の成長が示唆される。

10サイクル後:
有機系の表面被膜の成長と、充放電による活物質表面のシリケート、SiO₂生成反応の非可逆性により、劣化進行することが推察される。

7

まとめ

- 初回充放電時のSi合金負極の表面状態、および表面状態と劣化の関係を理解することを目的に、HAXPESを用いて、初回充放電時と10サイクル後における活物質表面分析を行った。
- 初回充電時の初期では、主反応は電解質の分解反応であり、この過程において無機・有機系表面被膜の生成が開始する。
- 初回放電においては、Li₂Oの生成とともに、CHを主とした有機系の表面被膜が成長する。
- 充放電サイクルにより、有機系の表面被膜の成長、および活物質表面のシリケート、SiO₂生成反応の非可逆性により、劣化を引き起こすと考えられる。
- HAXPESは、被膜と活物質内部の化学状態を同時に観測できることから、被膜成長と活物質表面変化の両因子が劣化に関与することが新たに分かった。

8